

**H03K 5/08**

**H03K 5/125**

**Anmeldenummer: 1993 201555**

**Anmeldedatum: 13.8.1993**

**Publikationsdatum: 3.3.1995**

**Prioritäten:**

<b>Land</b>	<b>Datum</b>	<b>Nummer</b>	<b>Art</b>
-------------	--------------	---------------	------------

**Erfinder: YAMAGUCHI AKIRA**

**Anmelder: TOSHIBA CORP**

**Titel: DIGITAL SIGNAL TRANSFER CIRCUIT**

---

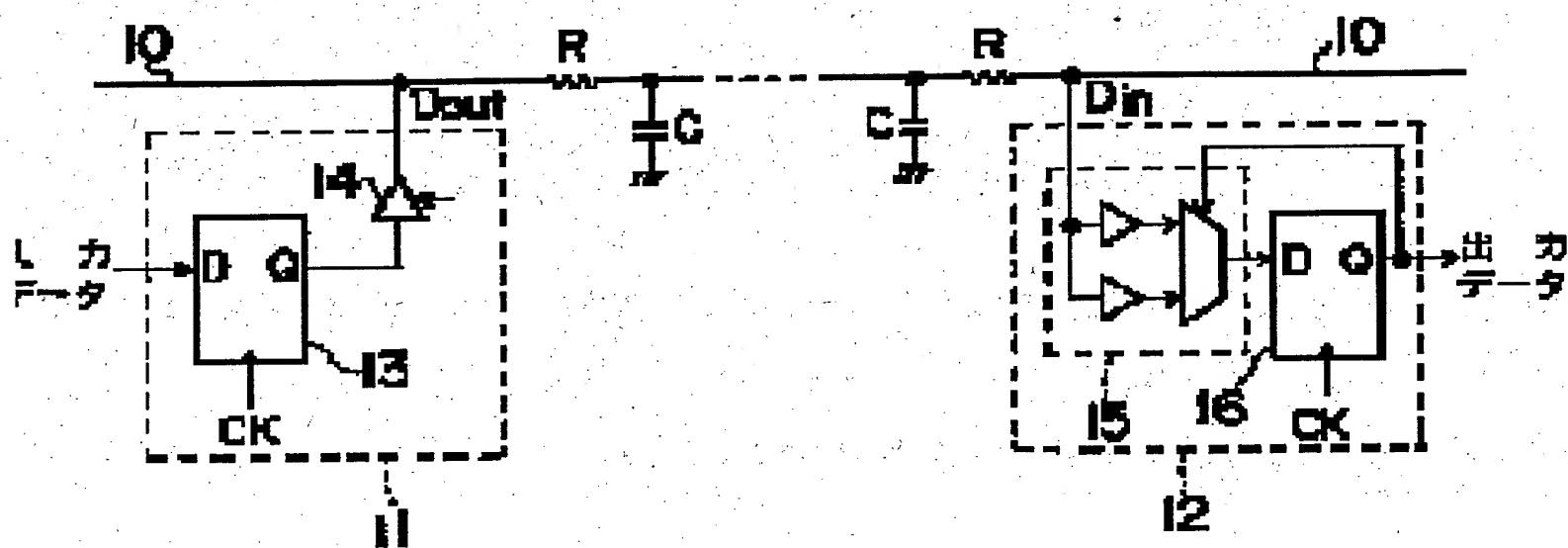
## **Zusammenfassung**

**PURPOSE:** To quickly detect the signal change by detecting the rise of an input digital signal based on a first threshold lower than the median of the signal amplitude and detecting the fall based on a second threshold higher than the median.

**CONSTITUTION:** The data signal input from a data bus 10 has the waveform shaped and is latched in an input circuit 12 synchronously with a clock signal CK. At this time, the waveform shaped output is selected and latched based on a second threshold  $V_{thH}$  higher than the median of the signal amplitude with respect to the fall of a data input signal Din, and the waveform shaped output is selected and latched based on a first threshold  $V_{thL}$  lower than the median with respect to the rise of the input Din. Thus, the change of the input Din is quickly detected, and the delay time is shortened from the leading edge of the signal CK to that of latch data at the time of fall and rise of the input Din to increase the speed of the signal CK. Consequently, the data transfer speed is increased even when a load capacitance of a bus 10 and the wiring resistance are large and rise and fall times are long.

**COPYRIGHT: (C)1995,JPO**

---



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-58608

(43) 公開日 平成7年(1995)3月3日

(51) Int. Cl.<sup>6</sup>

H 0 3 K 5/08  
5/125

識別記号

庁内整理番号  
P 7402-5 J

7402-5 J

F I

H 0 3 K 5/ 01

技術表示箇所

D

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平5-201555

(22) 出願日 平成5年(1993)8月13日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 山口 明

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

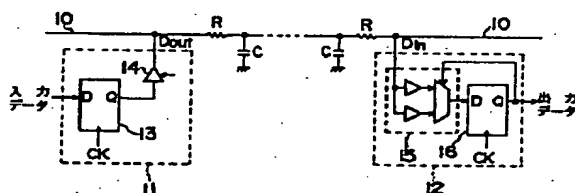
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 デジタル信号転送回路

(57) 【要約】

【目的】 信号配線の負荷容量や配線抵抗が大きくてデジタルデータやクロック信号を転送する際の信号の立上り、立下り時間が長くても、データ転送の高速化を達成でき、システム速度の制限を緩和し得るデジタル信号転送回路を提供する。

【構成】 デジタル回路システムで使用される信号配線10に接続され、信号配線にデジタル信号を出力する出力回路11と、信号配線から入力するデジタル信号に対し、その立上りをデジタル信号振幅の中央値より低い第1の閾値を基準とし、その立下りをデジタル信号振幅の中央値より高い第2の閾値を基準として波形整形する入力回路12とを具備することを特徴とする。





バス10に出力されたデータDoutは、データバス10の負荷容量Cおよび配線抵抗Rに起因して信号波形がなまり、入力回路92の入力ノード付近の信号Dinの立上り時間 $t_r$ 、立下り時間 $t_f$ が遅くなる、つまり、出力回路91から入力回路92までのデータ転送に遅れが生じる。

【0007】この信号波形は入力バッファ回路95により波形整形された後にクロック信号CKに同期してラッチされる。この場合、入力バッファ回路95の閾値 $V_{th}$ は入力波形振幅のほぼ中央の一定値に設定されており、前記クロック信号CKの前縁から入力バッファ回路95の出力データの前縁までの遅れ時間 $t_d$ 、 $t_{up}$ が大きいと、クロック信号CKの速度を高くすることが制限され、データ転送の高速化を阻害する。

【0008】上記と同様に、クロック信号線を介してクロック信号を転送するデジタル信号転送回路においても、クロック信号線の負荷容量や配線抵抗が大きい場合には、クロック信号線を介してクロック信号を転送する際の信号の立上り時間、立下り時間が長くなり、システム速度を制限する大きな要因になっている。

【0009】しかも、LSIの微細化に伴い、システム規模が大きくなり、信号配線の負荷容量や配線抵抗が増加する傾向があり、これらに起因するシステム速度の劣化が顕在化している。しかし、信号転送の高速化への要求はますます高まっており、上記したような問題はますます深刻化している。

【0010】

【発明が解決しようとする課題】上記したように従来のデジタル信号転送回路は、信号配線の負荷容量や配線抵抗が大きい場合には、信号配線を介してデジタルデータやクロック信号を転送する際の信号の立上り時間、立下り時間が長くなり、システム速度を制限する大きな要因になるという問題があった。

【0011】本発明は上記の問題点を解決すべくなされたもので、信号配線の負荷容量や配線抵抗が大きくてデジタルデータやクロック信号を転送する際の信号の立上り時間、立下り時間が長くても、データ転送の高速化を達成でき、システム速度の制限を緩和し得るデジタル信号転送回路を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明のデジタル信号転送回路は、デジタル回路システムで使用される信号配線と、この信号配線にデジタル信号を出力する出力回路と、上記信号配線に接続され、この信号配線から入力するデジタル信号に対して、その立上りを上記デジタル信号振幅の中央値より低い第1の閾値を基準とし、その立下りを上記デジタル信号振幅の中央値より高い第2の閾値を基準として波形整形する入力回路とを具備することを特徴とする。

【0013】

【作用】信号配線から入力するデジタル信号に対して、その立上りをデジタル信号振幅の中央値より低い第1の閾値を基準とし、その立下りをデジタル信号振幅の中央値より高い第2の閾値を基準として検出するので、従来例のデジタル信号振幅中央の一定値を基準としてより検出する場合に比べて信号変化を速く検出することが可能になる。これにより、デジタル信号転送の高速化を達成でき、システム速度の制限を緩和することが可能になる。

10 【0014】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。図1は、本発明のデジタル信号転送回路の第1実施例に係るデータ転送回路を示している。

【0015】このデータ転送回路において、10はLSIの内部あるいはLSI相互間に形成されているデータバスであり、その負荷容量をC、配線抵抗をRで表わしている。このデータバス10には、多数の入力回路、多数の出力回路が接続されており、ここでは、説明の簡単化のためにデータバス10で転送されるパラレルデータの1ビット分に対応する1ビット分の出力回路11、入力回路12を取り出して示している。

20 【0016】上記出力回路11は、クロック信号CKに同期して内部データをラッチするラッチ回路13と、このラッチ回路のラッチデータをデータバス10に出力するトライステート型の出力バッファ回路14とを有する。

30 【0017】前記入力回路12は、上記データバス10に接続され、データバス10からのデータ信号入力Dinに対して、その立上りをデータ信号振幅の中央値より低い第1の閾値（低レベル入力閾値） $V_{thL}$ を基準として波形整形し、その立下りをデータ信号振幅の中央値より高い第2の閾値（高レベル入力閾値） $V_{thH}$ を基準として波形整形する入力バッファ回路15と、この入力バッファ回路15の出力データをクロック信号CKに同期してラッチするラッチ回路16とを有する。

【0018】なお、例えばマイクロプロセッサにおいては、アドレスレジスタなどのレジスタ回路の各ビット段を前記ラッチ回路16として用いることが可能である。図2は、図1中の入力回路12の一具体例を示す。

40 【0019】この入力回路は、データバス10からのデータ信号入力Dinの立上りを第1の閾値 $V_{thL}$ を基準として波形整形する第1の入力バッファ回路21と、上記データ信号入力の立下りを第2の閾値 $V_{thH}$ を基準として波形整形する第2の入力バッファ回路22と、上記第1の入力バッファ回路21の出力または上記第2の入力バッファ回路22の出力を選択する選択回路23と、この選択回路23の出力信号の論理レベルをクロック信号CKに同期してラッチし、ラッチした論理レベルに応じて上記選択回路23の次の選択動作を制御するラッチ回路16とを具備する。

50

【0020】上記ラッチ回路16のラッチデータ（データバス上の過去のデータに対応する。）が“H”レベルの場合には、データバス10からのデータ信号入力D1nの立下りを高レベル入力閾値VthHを基準として波形整形する第2の入力バッファ回路22の出力（データバス上の現在のデータに対応する。）を選択するように制御することにより、データ信号入力D1nの立下りを速く検出することが可能になる。

【0021】これに対して、前記ラッチデータが“L”レベルの場合には、データバス10からのデータ信号入力D1nの立上りを低レベル入力閾値VthLを基準として波形整形する第1の入力バッファ回路21の出力を選択するように制御することにより、データ信号入力D1nの立上りを速く検出することが可能になる。

【0022】図3は、図1のデータバス転送回路において、ある1つの出力回路から複数のの入力回路にデータを転送する場合の動作波形の一例を示す。この動作波形から分かるように、出力回路11からデータバス10に出力されたデータDoutは、データバス10の負荷容量Cおよび配線抵抗Rに起因して信号波形がなまり、入力回路12の入力ノード付近の信号D1nの立上り時間tr、立下り時間tfが遅くなる、つまり、出力回路11から入力回路12までのデータ転送に遅れが生じる。

【0023】入力回路12は、データバス10からのデータ信号入力を波形整形した後にクロック信号CKに同期してラッチする。この場合、データ信号入力D1nの立下りに対しては信号振幅の中央値より高い第2の閾値VthHを基準として波形整形した出力を選択してラッチし、データ信号入力D1nの立上りに対しては信号振幅の中央値より低い第1の閾値VthLを基準として波形整形した出力を選択してラッチする。

【0024】これにより、データ信号入力D1nの変化を速く検出することが可能になり、データ信号入力D1nの立下り時におけるクロック信号CKの前縁からラッチデータの前縁までの遅れ時間tdおよびデータ信号入力D1nの立上り時におけるクロック信号CKの前縁からラッチデータの前縁までの遅れ時間tupを短くし、クロック信号CKの速度を高くすることが可能になる。

【0025】従って、データバス10の負荷容量Cや配線抵抗Rが大きくてデータを転送する際の信号の立上り時間、立下り時間が長くても、データ転送の高速化を達成でき、システム速度の制限を緩和し得るデータ転送の高速化を達成でき、システム速度の制限を緩和することが可能になる。

【0026】図4は、図1中の入力回路12の他の具体例を示す。この入力回路は、データバス10からのデータ信号入力D1nを所定の閾値を基準として波形整形する閾値可変型の1個の入力バッファ回路41と、この入力バッファ回路41の出力信号の論理レベルをクロック信号φに同期してラッチし、ラッチした論理レベルに

じて前記入力バッファ回路41の閾値を第1の閾値VthLまたは第2の閾値VthHに制御するラッチ回路16とを具備する。

【0027】上記閾値可変型の入力バッファ回路41は、電源電位(Vcc)ノードと接地電位(Vss)ノードとの間に第1～第3のPMOSトランジスタP1～P3と第1～第3のNMOSトランジスタN1～N3とが直列に接続され、上記第1のPMOSトランジスタP1に第4のPMOSトランジスタP4が並列に接続され、前記第3のNMOSトランジスタN3に第4のNMOSトランジスタN4が並列に接続されている。上記第1のPMOSトランジスタP1、第2のPMOSトランジスタP2、第2のNMOSトランジスタN2および第3のNMOSトランジスタN3の各ゲートは一括されてデータバス10に接続されている。

【0028】そして、第3のPMOSトランジスタP3および第1のNMOSトランジスタN1の各ゲートに対して相補的なクロック信号φ、/φが与えられ、第4のPMOSトランジスタP4および第4のNMOSトランジスタN4の各ゲートに前記ラッチ回路16からラッチデータが与えられ、データバス10からのデータ信号入力D1nの反転信号が前記第3のPMOSトランジスタP3および第1のNMOSトランジスタN1のドレイン相互接続点から出力し、この出力が前記ラッチ回路16に入力する。

【0029】上記ラッチ回路16のラッチデータが“L”レベルの場合（データバス上の過去のデータが“H”レベルの場合）には、第4のPMOSトランジスタP4および第4のNMOSトランジスタN4が対応してオン/オフ状態になり、入力バッファ回路41の閾値がデータ信号振幅の中央値より高い第2の閾値（高レベル入力閾値）VthHに設定制御されるので、データ信号入力D1nの立下りを速く検出することが可能になる。

【0030】また、前記ラッチ回路16のラッチデータが“H”レベルの場合（データバス上の過去のデータが“H”レベルの場合）には、第4のPMOSトランジスタP4および第4のNMOSトランジスタN4が対応してオフ/オン状態になり、入力バッファ回路41の閾値がデータ信号振幅の中央値より低い第1の閾値（低レベル入力閾値）VthLに設定制御されるので、データ信号入力D1nの立上りを速く検出することが可能になる。

【0031】図5は、図1中の入力回路12のさらに他の具体例を示す。この入力回路は、例えばマイクロプロセッサにおけるデータバス10に接続されているセレクト付き入力回路に図2に示したような入力回路を適用した例を示しており、51はセレクトであり、その他は図2中と同一符号を付している。

【0032】図6は、図1のデータ転送回路の変形例を示す。このデータ転送回路は、データバス10に接続されている論理回路61の入力側に図2に示したような入

力回路を付加した例を示しており、図2中と同一部分には同一符号を付してその説明を省略する。

【0033】図7は、本発明のデジタル信号転送回路の第2実施例に係るクロック信号転送回路を示している。このクロック信号転送回路において、70はLSIの内部に形成されているクロック信号線であり、その負荷容量をC、配線抵抗をRで表わしている。このクロック信号線70には、1個のクロック信号出力回路71と、複数個のクロック信号入力回路72（代表的に1個のみ示す。）が接続されている。

【0034】上記クロック信号入力回路72は、クロック信号線70から入力するクロック信号CKinの立上りをクロック信号振幅の中央値より低い第1の閾値VthLを基準として波形整形する第1の入力バッファ回路73と、上記クロック信号線70から入力するクロック信号CKinの立下りをクロック信号振幅の中央値より高い第2の閾値VthHを基準として波形整形する第2の入力バッファ回路74と、上記第1の入力バッファ回路73の出力がセット入力端Sに入力し、前記第2の入力バッファ回路74の出力がリセット入力端Rに入力するフリップフロップ回路75とを具備し、フリップフロップ回路75のセット出力端Qからクロック信号が出力する。

【0035】図8は、図7のクロック信号転送回路において、クロック信号出力回路71からクロック信号入力回路72にデータを転送する場合の動作波形の一例を示す。この動作波形から分かるように、クロック信号出力回路71からクロック信号線70に出力されたクロック信号CKoutは、クロック信号線70の負荷容量Cおよび配線抵抗Rに起因して信号波形がなまり、クロック信号入力回路72の入力ノード付近の信号の立上り時間tr、立下り時間tfが遅くなる。

【0036】クロック信号入力回路72は、クロック信号線70からのクロック信号入力CKinを波形整形した後、フリップフロップ回路75で保持する。この場合、クロック信号入力CKinの立下りに対しては信号振幅の中央値より高い第2の閾値VthHを基準として波形整形した出力によりフリップフロップ回路75をリセットし、クロック信号入力CKinの立上りに対しては信号振幅の中央値より低い第1の閾値VthLを基準とし

て波形整形した出力によりフリップフロップ回路75をセットする。これにより、クロック信号入力CKinの変化を速く検出することが可能になり、クロック信号転送を高速化することが可能になる。

【0037】

【発明の効果】上述したように本発明によれば、信号配線の負荷容量や配線抵抗が大きくてデジタルデータやクロック信号を転送する際の信号の立上り、立下り時間が長くて、データ転送の高速化を達成でき、システム速度の制限を緩和し得るデジタル信号転送回路を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るデータ転送回路を示す回路図。

【図2】図1中の入力回路の一具体例を示す回路図。

【図3】図1のデータバス転送回路におけるデータ転送動作の一例を示すタイミング波形図。

【図4】図1中の入力回路の他の具体例を示す回路図。

【図5】図1中の入力回路のさらに他の具体例を示す回路図。

【図6】図1のデータ転送回路の変形例を示す回路図。

【図7】本発明の第2実施例に係るクロック信号転送回路を示す回路図。

【図8】図7のクロック信号転送回路におけるデータ転送動作の一例を示すタイミング波形図。

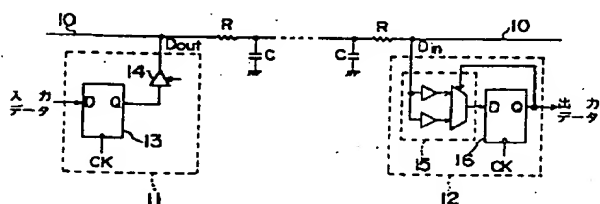
【図9】従来のデータバス転送回路の一例を示す回路図。

【図10】図8のデータバス転送回路におけるデータ転送動作の一例を示すタイミング波形図。

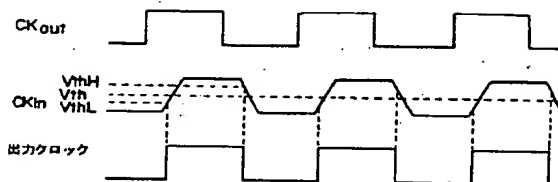
【符号の説明】

10…データバス、11…出力回路、12…入力回路、13…ラッチ回路、14…出力バッファ回路、15…入力バッファ回路、16…ラッチ回路、21…第1の入力バッファ回路、22…第2の入力バッファ回路、23…選択回路、41…閾値可変型の入力バッファ回路、51…セクタ、61…論理回路、70…クロック信号線、71…クロック信号出力回路、72…クロック信号入力回路、73…第1の入力バッファ回路、74…第2の入力バッファ回路、75…フリップフロップ回路。

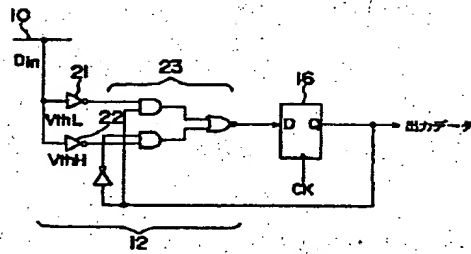
【図1】



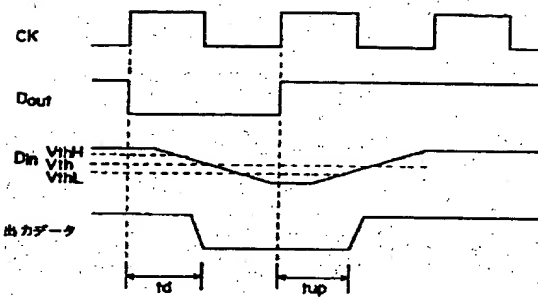
【図8】



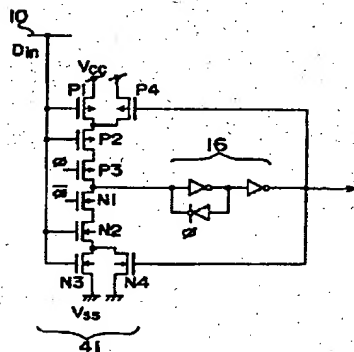
【図2】



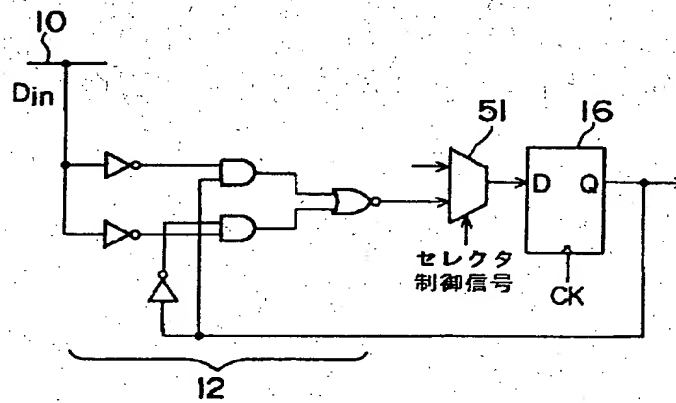
【図3】



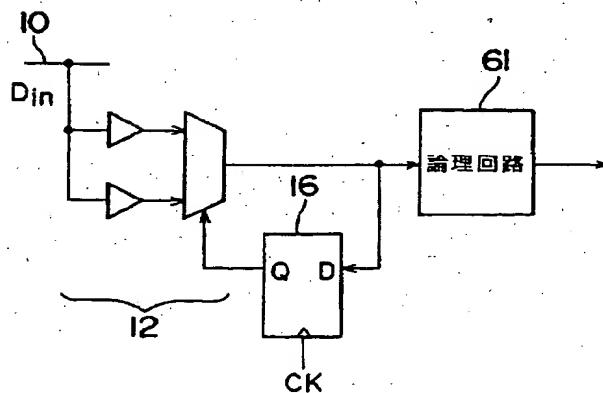
【図4】



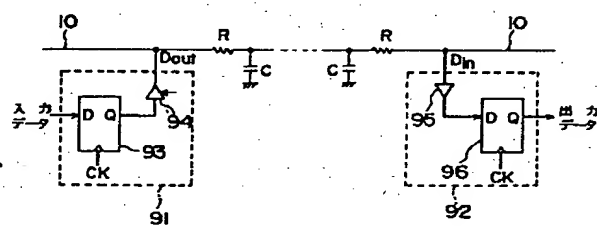
【図5】



【図6】

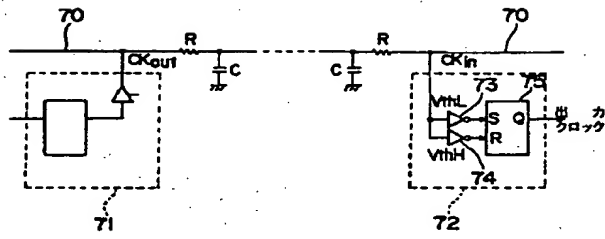


【図9】

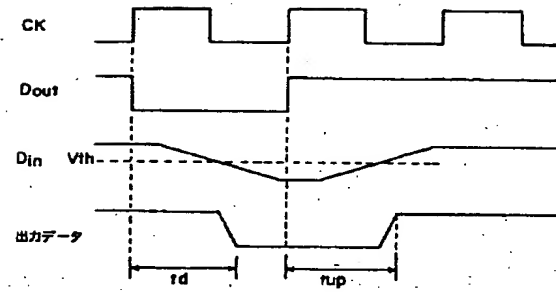




【図7】



【図10】



**This Page Blank (uspto)**